

DIALOG(R)File 352:Derwent WPI
(c) 2004 Thomson Derwent. All rts. reserv.
004642802

WPI Acc No: 1986-146145/198623

XRAM Acc No: C86-062452

XRPX Acc No: N86-108247

Thin film transistor mfr - using single annealing step to effect solid phase growth of amorphous semiconductor and to activate impurities to form regions

Patent Assignee: SONY CORP (SONY)

Inventor: HAYASHI H; NOGUCHI T

Number of Countries: 007 Number of Patents: 010

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week	
GB 2167899	A	19860604	GB 8527737	A	19851111	198623	B
DE 3540452	A	19860605	DE 3540452	A	19851114	198624	
FR 2573248	A	19860516	FR 8316906	A	19831115	198626	
NL 8503123	A	19860602	NL 853123	A	19851113	198627	
JP 61119079	A	19860606	JP 84241239	A	19841115	198629	
CN 8509088	A	19860827				198719	
GB 2167899	B	19880427				198817	
KR 9310978	B1	19931118	KR 857608	A	19851016	199442	
DE 3540452	C2	19990729	DE 3540452	A	19851114	199934	
NL 194524	B	20020201	NL 853123	A	19851113	200217	

Priority Applications (No Type Date): JP 84241239 A 19841115

Patent Details:

Patent No	Kind	Lan Pg	Main IPC	Filing Notes
GB 2167899	A	7		
KR 9310978	B1		H01L-021/308	
DE 3540452	C2		H01L-021/336	
NL 194524	B		H01L-021/263	

Abstract (Basic): GB 2167899 B

Thin film transistor is mfd. by: (a) forming a thin polycrystalline semiconductor film on a substrate (b) implanting ions in the thin film to form a thin amorphous semiconductor film; (c) forming a gate insulating film and a gate electrode on the thin amorphous semiconductor film; (d) doping impurities for forming source and drain regions in the thin amorphous semiconductor film by using the gate electrode and gate insulating films as masks; and (e) annealing for solid phase growth of the thin amorphous semiconductor film and simultaneously electrically activating the impurities to form the source and drain regions.

ADVANTAGE - Annealing for solid phase growing the thin amorphous semiconductor film need not be separated from annealing for electrically activating the impurities for forming source and drain regions, simplifying the mfg. process. Further, the impurities in the source and drain regions can be uniformly activated as compared with conventional transistors. (7pp Dwg.No.1G/2)

**Title Terms: THIN; FILM; TRANSISTOR; MANUFACTURE; SINGLE; ANNEAL; STEP;
EFFECT; SOLID; PHASE; GROWTH; AMORPHOUS; SEMICONDUCTOR; ACTIVATE;
IMPURE; FORM; REGION**

Derwent Class: L03; U11; U12; U14

International Patent Class (Main): H01L-021/263; H01L-021/308; H01L-021/336

**International Patent Class (Additional): H01L-021/18; H01L-021/86;
H01L-027/12; H01L-029/78**

File Segment: CPI; EPI

DIALOG(R)File 347:JAPIO

(c) 2004 JPO & JAPIO. All rts. reserv.

01904979 **Image available**

MANUFACTURE OF THIN FILM TRANSISTOR

PUB. NO.: 61-119079 [JP 61119079 A]

PUBLISHED: June 06, 1986 (19860606)

INVENTOR(s): HAYASHI HISAO
 NOGUCHI TAKASHI

APPLICANT(s): SONY CORP [000218] (A Japanese Company or Corporation), JP
 (Japan)

APPL. NO.: 59-241239 [JP 84241239]

FILED: November 15, 1984 (19841115)

INTL CLASS: [4] H01L-029/78; H01L-021/324; H01L-027/12

JAPIO CLASS: 42.2 (ELECTRONICS -- Solid State Components)

JAPIO KEYWORD: R096 (ELECTRONIC MATERIALS -- Glass Conductors); R097
 (ELECTRONIC MATERIALS -- Metal Oxide Semiconductors, MOS)

JOURNAL: Section: E, Section No. 446, Vol. 10, No. 306, Pg. 73,
 October 17, 1986 (19861017)

ABSTRACT

PURPOSE: To simplify the manufacturing process compared with the conventional methods by eliminating the necessity of carrying out a heat treatment for a solid-phase growth and a heat treatment for electrically activating the impurities for forming source and drain regions, separately as in the conventional methods.

CONSTITUTION: A polycrystalline silicon film 4 is formed on a glass substrate 1 and an amorphous silicon film 3 is formed by ion implantation of Si(sup +). A gate insulating film 8 consisting of an SiO(sub 2) film 5 and a gate electrode 7 consisting of an Mo film 6 are formed. By using the gate electrode 7 and the gate insulating film 8 as a mask, phosphorus for forming source and drain regions is introduced into a semiconductor thin film and a heat treatment is made. Thus the amorphous semiconductor thin film is grown by solid phase and impurities are activated electrically to form N(sup +) type source region 9 and drain region 10.

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑪ 公開特許公報(A) 昭61-119079

⑫ Int.Cl.⁴

H 01 L 29/78
21/324
27/12

識別記号

庁内整理番号

8422-5F
6603-5F
7514-5F

⑬ 公開 昭和61年(1986)6月6日

審査請求 未請求 発明の数 1 (全5頁)

⑭ 発明の名称 薄膜トランジスタの製造方法

⑮ 特 願 昭59-241239

⑯ 出 願 昭59(1984)11月15日

⑰ 発 明 者	林 久 雄	東京都品川区北品川6丁目7番35号	ソニー株式会社内
⑱ 発 明 者	野 口 隆	東京都品川区北品川6丁目7番35号	ソニー株式会社内
⑲ 出 願 人	ソニー株式会社	東京都品川区北品川6丁目7番35号	
⑳ 代 理 人	弁理士 土屋 勝	外1名	

明 細 書

1. 発明の名称

薄膜トランジスタの製造方法

2. 特許請求の範囲

所定の基板上に多結晶の半導体薄膜を形成する工程と、上記多結晶の半導体薄膜に所定のイオンをイオン注入することにより非晶質の半導体薄膜を形成する工程と、上記非晶質の半導体薄膜上にゲート絶縁膜及びゲート電極を形成する工程と、上記ゲート電極及び上記ゲート絶縁膜をマスクとして上記非晶質の半導体薄膜にソース領域及びドレイン領域形成用の不純物を導入する工程と、熱処理を行うことにより上記非晶質の半導体薄膜を固相成長させると共に上記不純物を電気的に活性化させて上記ソース領域及び上記ドレイン領域を形成する工程とをそれぞれ具備することを特徴とする薄膜トランジスタの製造方法。

3. 発明の詳細な説明

産業上の利用分野

本発明は薄膜トランジスタの製造方法に関する

ものであって、多結晶シリコン薄膜トランジスタの製造に適用して最適なものである。

従来の技術

従来、低圧プロセスによる多結晶シリコン薄膜トランジスタ(TFT)の製造は例えば次のような方法により行われている。すなわち、まず第2A図に示すように、例えば融点が680℃程度のガラス基板1上にLPCVD法により600℃以下の温度で多結晶シリコン膜2を被着形成した後、この多結晶シリコン膜2にSi⁺等の電気的に不活性な元素のイオンをイオン注入することにより、第2B図に示すように非晶質シリコン膜3とする。次に500～600℃の温度でアニールを行うことにより上記非晶質シリコン膜3を固相成長させて結晶化を行う。その結果、第2C図に示すように、多結晶シリコン膜2よりもその結晶粒の大きさが大きい多結晶シリコン膜4が形成される。次に第2D図に示すように、この多結晶シリコン膜4の所定部分をエッチング除去して所定形状とした後、CVD法により400℃程度で全面にSiO₂

膜5を被着形成し、次いでスパッタ法により例えばMo膜6を被着形成する。次にこれらのMo膜6及びSiO₂膜5の所定部分を順次エッチング除去して、第2E図に示すように、所定形状のMo膜から成るゲート電極7及び所定形状のSiO₂膜から成るゲート絶縁膜8を形成する。次にこれらのゲート電極7及びゲート絶縁膜8をマスクとして多結晶シリコン膜4にリン(P)等のn型不純物を高濃度にイオン注入した後(多結晶シリコン膜4中のPを○で表す)、600℃程度の温度でアニールを行うことによりこの不純物を電気的に活性化させて、第2F図に示すように、n⁺型のソース領域9及びドレイン領域10を形成する。次に第2G図に示すように、CVD法により400℃程度の温度で全面にパッシベーション膜としてのSiO₂膜11を被着形成し、次いでこのSiO₂膜11の所定部分をエッチング除去して開口11a、11bを形成した後、これらの開口11a、11bを通じてA₂から成る電極12、13を被着形成して、nチャネル多結晶シリコンTFTを完成させる。

る。

発明が解決しようとする問題点

本発明は、上述の問題にかんがみ、従来の薄膜トランジスタの製造方法が有する上述のような欠点を是正した薄膜トランジスタの製造方法を提供することを目的とする。

問題点を解決するための手段

本発明に係る薄膜トランジスタの製造方法は、所定の基板(例えばガラス基板1)上に多結晶の半導体薄膜(例えば多結晶シリコン膜2)を形成する工程と、上記多結晶の半導体薄膜に所定のイオン(例えばSi⁺)をイオン注入することにより非晶質の半導体薄膜(例えば非晶質シリコン膜3)を形成する工程と、上記非晶質の半導体薄膜上にゲート絶縁膜(例えばSiO₂膜から成るゲート絶縁膜8)及びゲート電極(例えばMo膜から成るゲート電極7)を形成する工程と、上記ゲート電極及び上記ゲート絶縁膜をマスクとして上記非晶質の半導体薄膜にソース領域及びドレイン領域形成用の不純物(例えばリン)を導入する工程と、熱処

理を行うことにより上記非晶質の半導体薄膜を固相成長させると共に上記不純物を電気的に活性化させて上記ソース領域及び上記ドレイン領域(例えばn⁺型のソース領域9及びドレイン領域10)を形成する工程とをそれぞれ具備している。

上述の従来の低温プロセスによる多結晶シリコンTFTの製造方法は次のような欠点を有している。すなわち、非晶質シリコン膜3を固相成長させるためのアニールと、ソース領域9及びドレイン領域10形成用の不純物を電気的に活性化させるためのアニールとを別々に行わなければならないので、製造工程が簡便でない。また多結晶シリコン膜4にイオン注入された上記不純物の一部は、この多結晶シリコン膜4中の結晶粒界に存在するが、この結晶粒界に存在する不純物はアニールによっても電気的に活性化されにくいので、全体として不純物の活性化率が低い。さらに多結晶シリコン膜4への不純物のイオン注入の際には、注入不純物のチャネリングがある程度生じてしまうのは避けられないので、その後のアニールにより形成されるソース領域9及びドレイン領域10中の不純物の活性化率の均一性が悪い。

なおTFTに関する先行文献としては、日本応用物理学会第45回学術講演会予稿集、14p-A-4~14p-A-6(1984)が挙げられ

る。

実施例

以下本発明に係る薄膜トランジスタの製造方法を多結晶シリコンTFTの製造方法に適用した一実施例を図面に基づいて説明する。なお以下の第1A図~第1C図においては、第2A図~第2G図と同一部分には同一の符号を付し、必要に応じてその説明を省略する。

まず第2A図と同様に、LPCVD法により580~600℃程度の温度でガラス基板1上に例えば膜厚800Åの多結晶シリコン膜2を被着形成する。

次にこの多結晶シリコン膜2にSi⁺を例えばエネルギー40KeV、ドーズ量1~5×10¹³cm⁻²程度の条件でイオン注入することにより、第2B図と同様に非晶質シリコン膜3を形成する。

次に第1A図に示すように、上記非晶質シリコン膜3の所定部分をエッチングすることにより所定形状とした後、第2D図と同様に、LPCVD法により例えば膜厚1000ÅのSiO₂膜5を被着形成し、次いでスパッタ法により例えば膜厚3000ÅのMo膜6を全面に被着形成する。

次に第1B図に示すように、これらのMo膜6及びSiO₂膜5の所定部分を順次エッチング除去して、第2E図と同様にゲート電極7及びゲート絶縁膜8を形成する。この後、これらのゲート電極7及びゲート絶縁膜8をマスクとして非晶質シリコン膜3に例えばP⁺をイオン注入する（非晶質シリコン膜3中のPを○で表す）。

次に第1C図に示すように、例えば600℃程度の温度でアニールを行うことにより、非晶質シリコン膜3を固相成長させて多結晶シリコン膜4を形成すると共に、注入された上記Pを電気的に活性化させて、n⁺型のソース領域9及びドレイン領域10を形成する。この後、第2G図と同様に、パッシベーション膜としてのSiO₂膜11、電

極12、13を形成して、目的とするロチャネル多結晶シリコンTFTを完成させる。

上述の実施例によれば、非晶質シリコン膜3の固相成長と、ソース領域9及びドレイン領域10形成用の不純物の活性化とを一度のアニールで同時に行っているため、第2A図～第2G図に示す従来の製造方法に比べてアニール工程を一回省略することができ、このため製造工程を簡略化することができる。また上述のアニール時においては、非晶質シリコン膜3の固相成長と同時に注入不純物の活性化が行われるので、アニールにより形成されるソース領域9及びドレイン領域10中の不純物の活性化率は従来に比べて均一である。

さらに上述のアニールによる非晶質シリコン膜3の固相成長の際には、まずこの非晶質シリコン膜3中のPのイオン注入部から核形成が起きやすく、この核が微小な結晶に成長し、さらにより大きな結晶粒に成長するので、ソース領域9及びドレイン領域10中の結晶粒の大きさを従来に比べて大きくすることができる。従って、結晶粒界の

面積が従来に比べて小さくなるので、この分だけ不純物の活性化率を高くすることが可能である。のみならず、上述の微小な結晶を種結晶として、非晶質シリコン膜3の表面と平行な方向に結晶成長が進行するため、上述の固相成長により得られる多結晶シリコン膜4中の結晶粒の大きさは、TFTの動作時にチャネルが形成されるチャネル領域4a（第1C図参照）において従来に比べて特に大きくなる。従って、キャリアの移動度が従来に比べて大きいTFTを得ることができる。

また上述の実施例においては、Si⁺等のイオン注入により多結晶シリコン膜2を一旦非晶質シリコン膜3とした後、この非晶質シリコン膜3にソース領域9及びドレイン領域10形成用の不純物をイオン注入しているで、注入不純物のチャネリングがほとんど起こらない。従って、従来に比べて注入不純物の分布がより均一となるので、これによってもソース領域9及びドレイン領域10中の不純物の活性化率を従来に比べてより均一とすることができる。

以上本発明の一実施例につき説明したが、本発明は上述の実施例に限定されるものではなく、本発明の技術的思想に基づく種々の変形が可能である。例えば、多結晶シリコン膜2を非晶質化するためのイオン注入用のイオン種としては、上述の実施例で用いたSi⁺の他にP⁺等の電気的に不活性な元素のイオンを用いてもよい。またソース領域9及びドレイン領域10形成用の注入不純物のイオン種も上述の実施例で用いたP⁺に限定されるものではなく、必要に応じて他の種類のイオン種を用いてもよい。またゲート電極7の材料としては、Mo以外にW等の他の種類の高融点金属や高融点金属ケイ化物等を用いることも可能である。さらに必要に応じて多結晶シリコン膜2の代わりに他の種類の多結晶半導体薄膜を用いることも可能である。

発明の効果

本発明に係る薄膜トランジスタの製造方法によれば、従来のように固相成長のための熱処理とソース領域及びドレイン領域形成用の不純物を電気

的に活性化するための熱処理とを別々に行う必要がないので、従来に比べて製造工程を簡略化することができる。またソース領域及びドレイン領域中の不純物の活性化率を従来に比べてより均一とすることが可能である。

4. 図面の簡単な説明

第1A図～第1C図は本発明に係る薄膜トランジスタの製造方法をnチャネル多結晶シリコンTFTの製造に適用した一実施例を工程順に示す断面図、第2A図～第2G図は従来の低温プロセスによる多結晶シリコンTFTの製造方法を工程順に示す断面図である。

なお図面に用いた符号において、

- 1-----ガラス基板
- 2, 4-----多結晶シリコン膜
- 3-----非晶質シリコン膜
- 7-----ゲート電極
- 8-----ゲート絶縁膜
- 9-----ソース領域
- 10-----ドレイン領域



